



(19)

(11) Publication number:

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 63219368

(51) Intl. Cl.: H02M 3/155 H03F 3/68

(22) Application date: 31.08.88

(30) Priority:

(43) Date of application publication: 09.03.90

(84) Designated contracting states: JP

(71) Applicant: NEC CORP

(72) Inventor: KOIKE HIRONORI

(74) Representative:

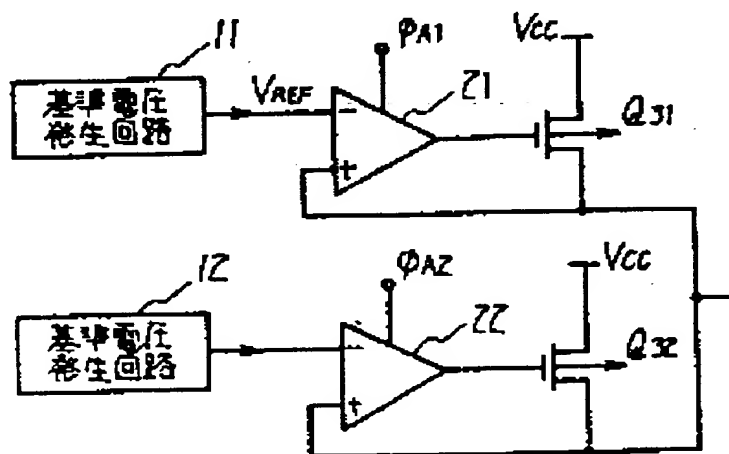
## (54) SUPPLY VOLTAGE CONVERTER CIRCUIT

(57) Abstract:

**PURPOSE:** To reduce the consumed current of a supply voltage converter circuit at the time of not driving a large loading capacity such as that at a stand-by time, etc., by using said supply voltage converter circuit.

**CONSTITUTION:** An apparatus has two unit supply voltage converter circuits of a load driving circuit with a large load driving capacity, i.e., the first circuit having a PMISFETQ31 with a large conductance and a load driving circuit with a comparatively small driving capacity, i.e., the second circuit having a PMISFETQ32 with a small conductance, and signals  $\phi A1$ ,  $\phi A2$  controlling the activity/inactivity of each of said first and second circuits are inputted to these circuits. When a large load is driven, said signal  $\phi A1$  is set at an appropriate level to activate the reference voltage generator circuit 11 and differential amplifier 21 of the first circuit. When a large load drive is unnecessary, the first circuit is inactivated by said signal  $\phi A1$ , while the second circuit is activated by said signal  $\phi A2$  on the contrary to supply a constant voltage. Therefore, the consumed current of a differential amplifier 22 driving said load driving circuit also diminishes to enable reducing the consumed power.

COPYRIGHT: (C)1990,JPO&amp;Japio



## ⑫ 公開特許公報(A)

平2-70264

⑮ Int. Cl.<sup>3</sup>H 02 M 3/155  
H 03 F 3/68

識別記号

W  
B

庁内整理番号

7829-5H  
6751-5J

⑬ 公開 平成2年(1990)3月9日

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 電源電圧変換回路

⑰ 特 願 昭63-219368

⑱ 出 願 昭63(1988)8月31日

⑲ 発 明 者 小 池 洋 紀 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

電源電圧変換回路

## 2. 特許請求の範囲

(1) 基準電圧発生回路と、この基準電圧発生回路の出力を入力端子の一方に接続した差動増幅器と、この差動増幅器の出力を入力して負荷を駆動する負荷駆動回路とからなり、前記差動増幅器のもう一方の入力端子には前記負荷駆動回路の出力電圧を帰還接続した単位の電源電圧変換回路を複数個備え、これら複数の単位電源電圧変換回路の出力端を共通接続して出力端子とし、駆動すべき負荷容量の大きさに応じて前記複数回路のうちいずれか1つあるいは複数を選択して所望の電源電圧を出力することを特徴とする電源電圧変換回路。

(2) 基準電圧発生回路が、その定常電流経路にスイッチ回路を設け、このスイッチ回路に制御信

号を印加することにより、前記基準電圧発生回路の活性/非活性を制御するようにしたものである請求項1記載の<sup>電源</sup>電圧<sup>変換</sup>発生回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は外部電源より与えられた電圧を変換して所定電圧を得る電源電圧変換回路に関する。

〔従来の技術〕

従来知られている差動増幅器を用いた電源電圧変換回路として、第10図に示す回路がある。この電源電圧変換回路は、1986年10月発行の雑誌「アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキット(I E E E , Journal of Solid State Circuits)」, 第21巻第5号の608頁に示されている。この回路は、まずFET  $Q_{11} \sim Q_{13}$  からなる基準電圧発生回路1で、所望の基準電圧  $V_{REF}$  を発生する。この基準電圧発生回路1でつくられた電圧  $V_{REF}$  は、FET  $Q_2, Q_3, Q_6 \sim Q_8$  からなる差動増幅

器2の反転入力端子に入力され、この差動増幅器2で電源電圧変換回路の出力電圧 $V_{OUT}$ と電圧 $V_{REF}$ との差電圧を増幅する。この差動増幅器2の出力は負荷駆動回路3に入力される。この負荷駆動回路3は、ソースが電源電圧 $V_{CC}$ に、ドレインが出力 $V_{OUT}$ に接続され、ゲートに差動増幅器2からの出力が接続されたPチャネル型MISFET(以下PMISFETという)  $Q_{10}$ が用いられている。

この電源電圧変換回路の動作は次のように行われる。出力電圧 $V_{OUT}$ が電圧値 $V_{REF}$ より低い時は、差動増幅器2の出力がロウレベルになり、負荷駆動回路3であるPMISFET  $Q_{10}$ が導通して電流が供給され、出力電圧 $V_{OUT}$ の電圧レベルが上がる。逆に、出力電圧 $V_{OUT}$ のレベルが所望のレベルより高い時は差動増幅器2の出力がハイレベルになり負荷駆動回路3が非導通になり、出力電圧 $V_{OUT}$ への電流の供給が止まる。このようにして出力電圧が基準電圧 $V_{REF}$ のレベルに保たれる。

くだけでよいような場合に適用する時には消費電力の無駄となる。

また、電源電圧変換回路に用いられる基準電圧発生回路1は定常電流パスが存在するので、電源電圧変換回路内の単位電源電圧変換回路の数に応じて多数の基準電圧発生回路が同時に用いられるとやはり消費電流の無駄につながる。

本発明の目的は、このような問題を解決し、大負荷容量の駆動を必要としない場合に消費電力を低減すると共に、基準電圧発生回路の消費電流の低減をした電源電圧変換回路を提供することにある。

(課題を解決するための手段)

本発明の電源電圧変換回路の構成は、基準電圧発生回路と、この基準電圧発生回路の出力を入力端子の一方に接続した差動増幅器と、この差動増幅器の出力を入力して負荷を駆動する負荷駆動回路とからなり、前記差動増幅器のもう一方の入力端子には前記負荷駆動回路の出力電圧を帰還接続した単位の電源電圧変換回路を複数個備え、これ

第10図の電源電圧変換回路は、外部から与えられた電源電圧 $V_{CC}$ を変換して出力電圧 $V_{OUT}$ をつくり、この出力電圧 $V_{OUT}$ のレベルを任意の回路に供給するのである。

この電源電圧変換回路のうち基準電圧発生回路1には、第10図のようにFET  $Q_{11} \sim Q_{15}$ で構成された回路や、第11図のように $R_1$ 、 $R_2$ の抵抗分割により基準電圧を得る回路等があるが、いずれの回路も定常電流パスが存在する。

(発明が解決しようとする課題)

このように従来の電源電圧変換回路で大きな容量を持つ負荷を駆動しようとした場合、負荷駆動回路3を駆動能力の大きなものにする必要がある。その結果、差動増幅器2も負荷駆動回路3に応じて駆動能力を持たせねばならないため、消費電力の増大を招く。このことは、例えば電源電圧変換回路をメモリに適用しビット線の駆動に用いるというように、大負荷容量の駆動を要する期間がメモリの全動作のうちのある一期間であり、その他の期間では比較的小さな容量を定電圧に保ってお

ら複数の単位電源電圧変換回路の出力端を共通接続して出力端子とし、駆動すべき負荷容量の大きさに応じて前記複数回路のうちいずれか1つあるいは複数を選択して所望の電源電圧出力することとを特徴とする。

(作用)

本発明の電源電圧変換回路によれば、大負荷容量駆動を要する時には駆動能力の大きい負荷駆動回路を持つ単位電源電圧変換回路で所望の出力電圧を得、それ以外の比較的小さい負荷容量を駆動する時には、電源電圧変換回路の差動増幅器中あるいは差動増幅器と負荷駆動回路の両方の中に設けたスイッチを切り換えることにより、駆動能力の小さい負荷駆動回路を持つ単位電源電圧変換回路で所望の出力電圧を得ているので、大負荷容量の駆動をしない時に消費電力で所望の定電圧を出力することができる。

また、単位電源電圧変換回路を差動増幅器中あるいは差動増幅器と負荷駆動回路の両方の中に設けたスイッチによって非活性化した際に、同時に

基準電圧発生回路も内部に設けたスイッチ回路に入れた制御信号により非活性化して、低消費電力化がはかれる。

#### 〔実施例〕

次に、本発明の電源電圧変換回路及び基準電圧発生回路の実施例について図面を用いて説明する。

第1図は本発明の一実施例の回路図であり、基準電圧発生回路11、12、差動増幅器21、22、およびPMISFET Q<sub>31</sub>、Q<sub>32</sub>からなる負荷駆動回路とから構成される。差動増幅器21、22の一方の入力端子に基準電圧発生回路11、12からの出力V<sub>REF</sub>、もう一方の入力端子に、この電源電圧変換回路の出力電圧V<sub>OUT</sub>の帰還信号が入力され、また差動増幅器21、22の出力は負荷駆動回路であるPMISFET Q<sub>31</sub>、Q<sub>32</sub>のゲートに入力されて単位電源電圧変換回路を構成している。この単位電源電圧変換回路は出力端子10で2台並列に接続され、電圧V<sub>OUT</sub>を出力する。なお、基準電圧発生回路11、12は、必要な基準電圧を与える回路であればどのような形式の回路

を制御する信号φ<sub>A1</sub>、φ<sub>A2</sub>が入力される。

この第1図の回路の使用方法をメモリへの応用例により説明する。ビット線の充電時のように大きな負荷を駆動する必要がある場合は、信号φ<sub>A1</sub>を適当なレベルに設定して第1回路の基準電圧発生回路11及び差動増幅器21を活性化し、定電圧を供給する。この第1の回路は能力の大きい負荷駆動回路を有するので大負荷駆動に有効である。次に、メモリのスタンバイ時のように、大きな負荷駆動を必要とした場合は、信号φ<sub>A1</sub>により第1の回路を非活性化し、逆に第2の回路を信号φ<sub>A2</sub>により活性化して定電圧を供給する。第2の回路は能力の小さい負荷駆動回路を有し、従って負荷駆動回路を駆動する差動増幅器22の消費電流も小さくて済み、低消費電力化に有効である。

差動増幅器への制御信号φ<sub>A</sub>の導入方法の一例を、第2図により説明する。図では、ソースを接地し、ドレインをソースカプルの差動入力部トランジスタQ<sub>2</sub>、Q<sub>3</sub>のソースに接続したNMISFET Q<sub>1</sub>を有し、このNMISFET Q<sub>1</sub>のゲ-

てもよい。

本実施例に用いられる差動増幅器21、22は、一例として第2図に示す回路がある。この回路は、一般にカレントミラー型と呼ばれるタイプの差動増幅器である。また、負荷駆動回路3としては、PMISFETが用いられているが、このPMISFETに限ることはなく、Nチャネル型MISFET(以下NMISFETという)やバイポーラトランジスタ、あるいは複数の素子よりなる回路が用いられる。

これら基準電圧発生回路、差動増幅器、負荷駆動回路についての説明は以下のすべての実施例について共通にあてはまることである。

第1図の実施例では、負荷駆動能力の大きい負荷駆動回路、いかえるとコンダクタンスの大きいPMISFET Q<sub>31</sub>を有する第1の回路と、駆動能力の比較的小さい負荷駆動回路、すなわちコンダクタンスの小さいPMISFET Q<sub>32</sub>を有する第2の回路との2個の単位電源電圧変換回路を有し、これら第1、第2の回路には各々の活性/非活性

に制御信号φ<sub>A</sub>を入れ、回路活性化の時にはφ<sub>A</sub>をハイレベルにしてNMISFET Q<sub>1</sub>を導通させ、非活性化の時にはφ<sub>A</sub>をロウレベルにしてNMISFET Q<sub>1</sub>を非導通にする。このように回路の活性/非活性を制御することができるが、差動増幅器の形式が変われば信号による制御の方法も変わる。

このように、本実施例の電源電圧変換回路は駆動しなければならない負荷の大きさに対応する適当な負荷駆動回路を用いて定電圧V<sub>OUT</sub>を出力するので、一つの電源電圧変換回路により定電圧を出力する場合に比べ低消費電力で動作を行わせることができる。

第3図は本発明の第2の実施例の回路図であり、第2の回路の方の差動増幅器22を制御する信号φ<sub>A2</sub>をなくし、この第2の回路を常に活性化させておくものである。この場合、スタンバイ時等に駆動しなければならない負荷が小さいために第2の回路2の負荷駆動能力が小さくて済み、その結果消費電流が小さい場合には、制御信号が少なく

なるという利点がある。

第4図は本発明の第3の実施例の回路図で、 $n$ 個 ( $n \geq 2$ ) の単位電源電圧変換回路を並列に接続した例である。それぞれの基準電圧発生回路11~1 $n$ 、差動増幅器21~2 $n$ およびPMISFET  $Q_{31} \sim Q_{3n}$ を有し、駆動しなければならない負荷の容量値が数段階に分かれている時等に、それぞれの負荷容量値にあわせた負荷駆動回路を持つ単位電源電圧変換回路を切り替えて使用するものである。

第5図は本発明の第4の実施例の回路図で、負荷駆動回路3を非活性時に確実に遮断する回路を設けたものである。具体的には、ソースを外部電源 $V_{cc}$ に、ドレインを負荷駆動回路であるPMISFET  $Q_{31}$ 、 $Q_{32}$ のゲートに接続し、ゲートにその制御信号 $\phi_{31}$  ( $i$ : 正の整数) を入れたPMISFET  $Q_{41}$ 、 $Q_{42}$ を設けている。このPMISFET  $Q_{41}$ 、 $Q_{42}$ を含む単位電源電圧変換回路が選択された場合は、制御信号 $\phi_{31}$ をハイレベルにして $Q_{41}$ 、 $Q_{42}$ を非導通にしておく。逆に単位

た時、信号 $\phi_{32}$ をハイレベルにして基準電圧発生回路を非活性化し、定常電流パスを遮断することによって電流を流さないようにする。この第1の回路が活性化された時には信号 $\phi_{32}$ をロウレベルにして基準電圧発生回路を活性化し、電源電圧変換回路を動作させる。こうして、単位電源電圧変換回路が使用されない時に基準電圧発生回路も非活性化し、その消費電流を低減することができる。これは、例えば、第4図のように多数の単位電源電圧変換回路が同時に用いられる際に特に有効である。なお、基準電圧発生回路の活性/非活性を制御するスイッチ回路は第7図のタイプのものに限らない。

第8図は本発明の第7の実施例の回路図で、第7図のスイッチ回路 $Q_{10}$ をNMISFET  $Q_{10}$ にした例である。この構成では制御の仕方が変わり、基準電圧発生回路を非活性とする時には $\phi_{32}$ をロウレベルとし、活性化する時には $\phi_{32}$ をハイレベルとすればよい。

第9図は本発明の第8の実施例の基準電圧発

電源電圧変換回路が非選択となった場合には、信号 $\phi_{31}$ をロウレベルにしてPMISFET  $Q_{41}$ 、 $Q_{42}$ を導通させ、負荷駆動回路のPMISFET  $Q_{31}$ 、 $Q_{32}$ のゲートをハイレベルとし、当該単位電源電圧変換回路を完全に非活性とする。なお信号 $\phi_{31}$ は信号 $\phi_{41}$ と同じでもよいし別の信号であってもよい。

第6図は本発明の第5の実施例の回路図で、負荷駆動回路3をPMISFET  $Q_{31}$ 、 $Q_{32}$ でなくバイポーラトランジスタ $Q_{31}$ 、 $Q_{32}$ にした例である。

第7図は本発明の第6の実施例の回路図で、第11図 $R_1$ 、 $R_2$ の抵抗分割による基準電圧発生回路に適用し、基準電圧発生回路の定常電流パスにスイッチ回路であるPMISFET  $Q_{10}$ を設け、制御信号 $\phi_{32}$ によりこの回路の活性/非活性を制御できるようにしたものである。

本実施例の電源電圧変換回路を用いる際、例えば第1図の基準電圧発生回路に本実施例の基準電圧発生回路を使用した場合について説明する。第1図で信号 $\phi_{41}$ により第1の回路が非活性化され

生回路の回路図で、第10図のFET  $Q_{11}$ 、 $Q_{12}$ の代りに、ゲート制御信号 $\phi_{32}$ を接続したFET  $Q_{11}$ 、 $Q_{12}$ が用いられたものである。第9図と第10図を比較するとわかるように、新たにスイッチ回路としてトランジスタを付加しなくとも、既に基準電圧発生回路内のトランジスタのゲートに制御信号 $\phi_{32}$ を入れて本発明を実現することもできる。

#### 〔発明の効果〕

以上説明したように、本発明の電源電圧変換回路を用いることにより、スタンバイ時等の大きな負荷容量を駆動しない時の電源電圧変換回路の消費電流を大幅に削減することができる。

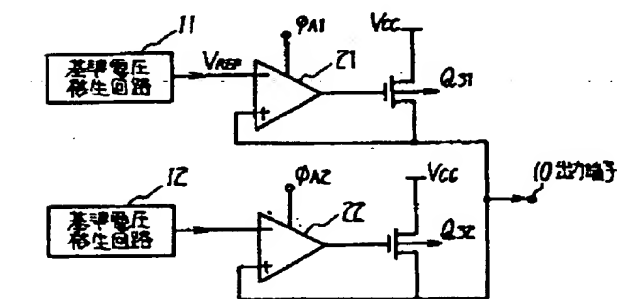
また、本発明の電源電圧変換回路をメモリに適用したシミュレーション結果によると、差動増幅器部分の消費電流は増幅器内のソースを接地し、ドレインをソースカップルの差動入力部トランジスタのソースに接続したMISFET ( $Q_1$ ) のゲート幅 $W$ にほぼ比例しているの、従来の電源電圧変換回路に比べて、スタンバイ時に電源電圧変換

回路の差動増幅器のサイズが小さくなった割合だけ消費電流が小さくなるという効果が得られる。  
また、スイッチ回路により切替えられる基準電圧発生回路を用いることにより、多数の基準電圧発生回路を用いる必要が生じた場合にも、使用していない基準電圧発生回路の定常電流をなくして低消費電力化をはかられるという効果がある。

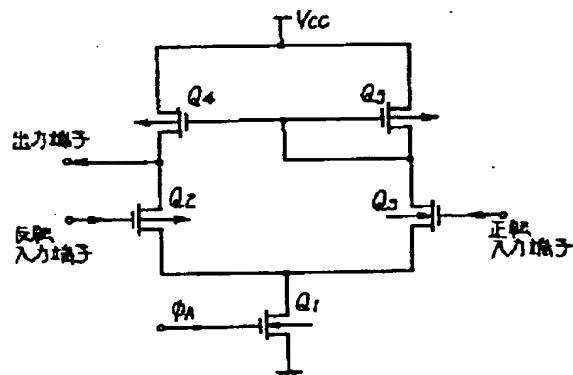
#### 4. 図面の簡単な説明

第1図は本発明の一実施例の回路ブロック図、第2図は第1図に用いる差動増幅器の一例の回路図、第3図～第6図は本発明の第2～第5の実施例の回路ブロック図、第7図～第9図は第1図の基準電圧発生回路の三例を示す回路図、第10図は従来例の電源電圧変換回路の回路図、第11図は従来の抵抗分割による基準電圧発生回路の図である。

1, 11, 12 --- 1n ..... 基準電圧発生回路、  
2, 21, 22 --- 2n ..... 差動増幅器、3 .....  
負荷駆動回路、10 ..... 出力端子、 $Q_1, Q_2, Q_3,$



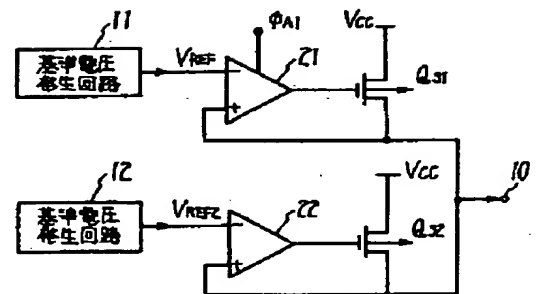
第1図



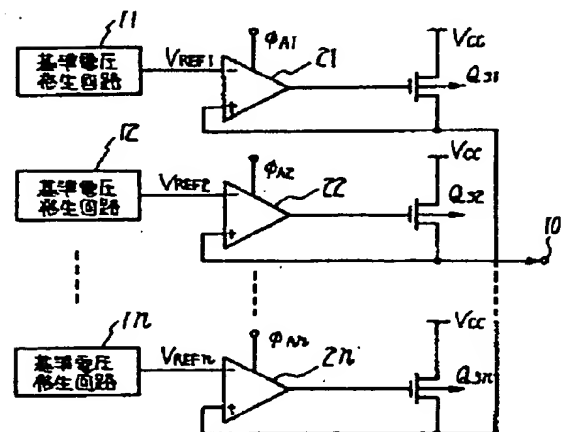
第2図

$Q_{11} \sim Q_{1n}, Q_{21}, Q_{22} \dots Q_{2n}, Q_{31}, Q_{32} \dots Q_{3n}, Q_{41}, Q_{42} \dots$  PMISFET、 $Q_1, Q_2, Q_{1n} \dots$  NMISFET、 $Q_{21}, Q_{22} \dots$  バイポーラトランジスタ、 $R_1, R_2 \dots$  抵抗。

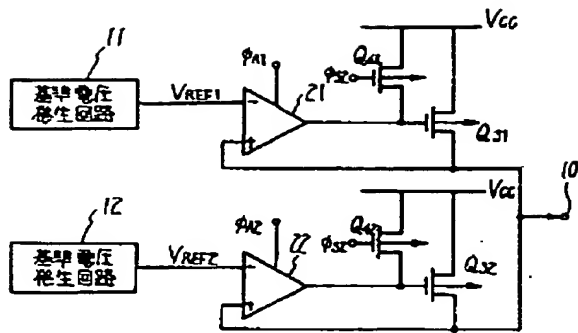
代理人 弁護士 内 原 晋



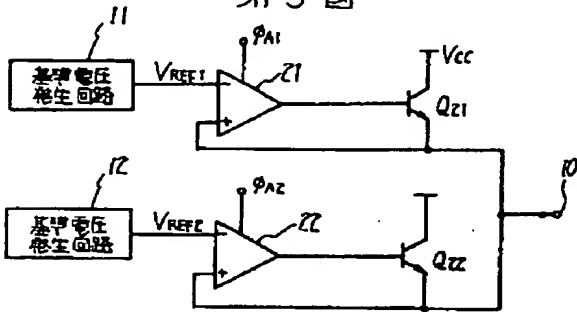
第3図



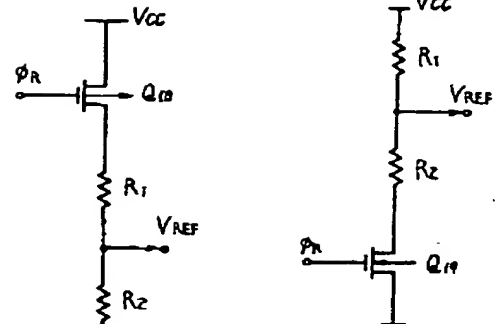
第4図



第5図

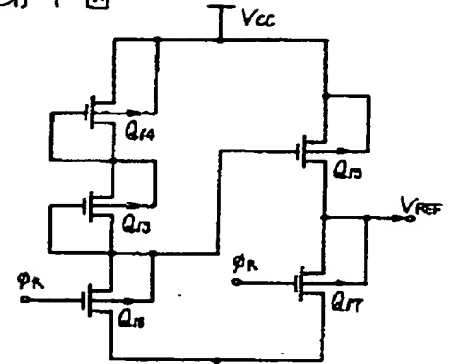


第6図

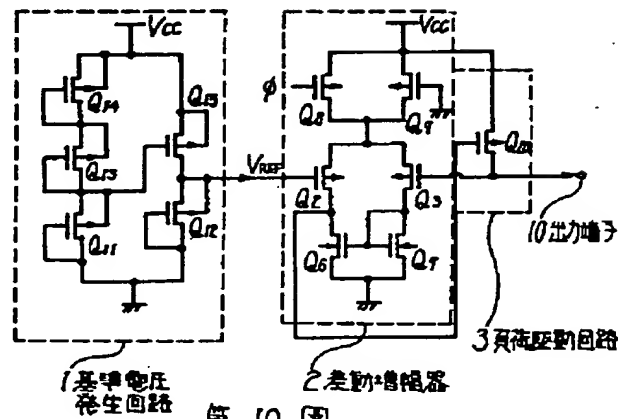


第7図

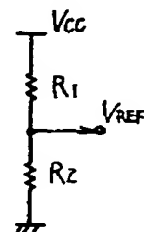
第8図



第9図



第10図



第11図